

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 04-273462
 (43)Date of publication of application : 29.09.1992

(51)Int.CI. H01L 21/76
 H01L 21/316

(21)Application number : 03-034803 (71)Applicant : SHARP CORP
 (22)Date of filing : 28.02.1991 (72)Inventor : HOTTA MASAYOSHI

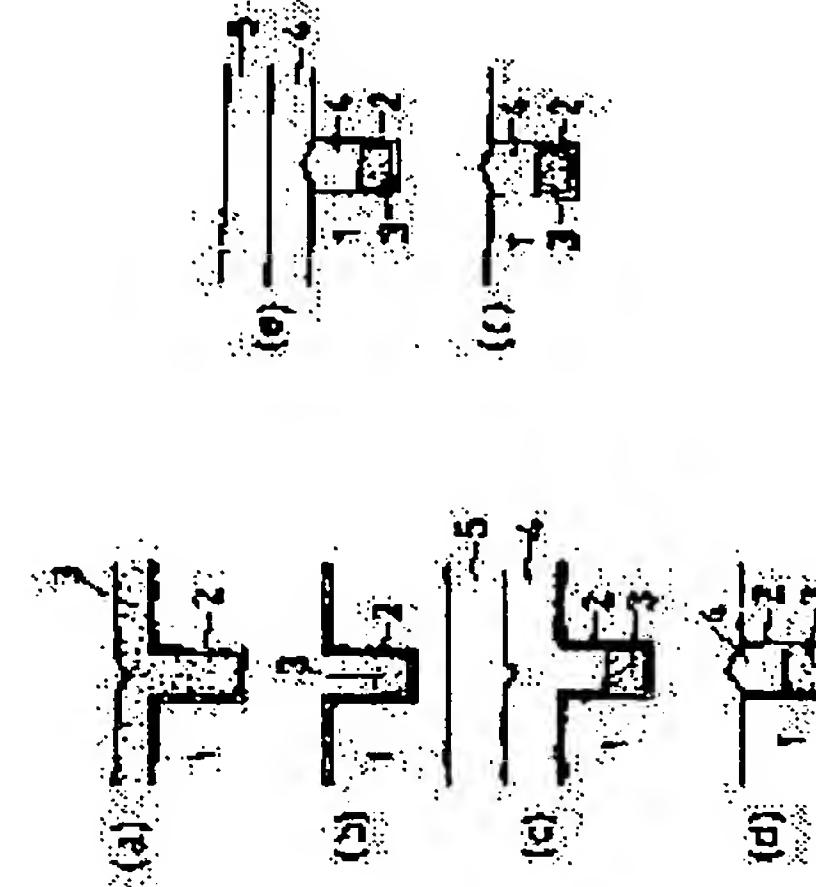
(54) MANUFACTURE OF SEMICONDUCTOR DEVICE

(57)Abstract:

PURPOSE: To enable that a trench is filled with an insulator stacked in the region including the inside of trench and thereby uniform and flat surface can be obtained by burying flat the inside of trench with nonfusible SiO₂ by the particular method.

CONSTITUTION: A plurality of trenches are formed on a Si substrate 1, next a SiO₂ film 2 is formed on the entire surface and then a poly-Si 3 is deposited. Next, the poly-Si layer 3 is etched back, leaving a part of it at the bottom part of the trench. Next, a nonfusible glass 4 and well fusible glass 5 are stacked to make flat the stacking surface through the high temperature annealing. Next, etching back is carried out until the Si substrate 1 is exposed.

Thereafter, the inside of trench is buried flat uniformly with the nonfusible glass to complete an element isolation region by repeating at least once the process of stacking the nonfusible glass and well fusible glass, carrying out high temperature annealing and conducting the etching back.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

THIS PAGE BLANK (USPTO)

(19) 日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平4-273462

(43) 公開日 平成4年(1992)9月29日

(51) Int.Cl.⁶

H 01 L 21/76
21/316

識別記号

厅内整理番号
L 9169-4M

F I

技術表示箇所

7342-4M

H 01 L 21/94

A

審査請求 未請求 請求項の数1(全3頁)

(21) 出願番号

特願平3-34803

(22) 出願日

平成3年(1991)2月28日

(71) 出願人 000005049

シャープ株式会社

大阪府大阪市阿倍野区長池町22番22号

(72) 発明者 堀田 昌義

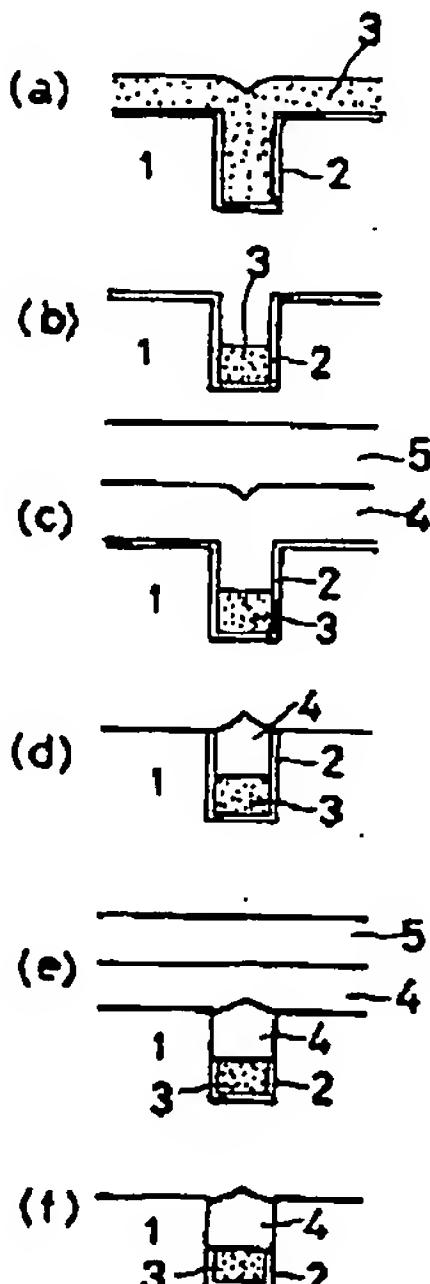
大阪市阿倍野区長池町22番22号 シャープ
株式会社内

(74) 代理人 弁理士 野河 信太郎

(54) 【発明の名称】 半導体装置の製造方法

(57) 【要約】

(a) 複数のトレンチを有するシリコン基板の表面を酸化してSiO₂層を形成させ、次いでポリ-Si層を堆積させた後、特に開口幅の小さいアスペクト比の高いトレンチには、底部にポリ-Si層が残るようにエッチバックし、(b) 少なくともトレンチ内が埋設されるよう非溶融性のSiO₂膜を形成後、良溶融性のガラス層を積層し、(c) 高温アニールを行って上記積層を平坦化し、次いでシリコン基板が露出するまでエッチバックし、(d) (b) と(c) の工程を少なくとも1回以上繰返してトレンチ内を非溶融性のSiO₂で平坦に埋込むことからなる半導体装置の製造方法



【特許請求の範囲】

【請求項1】 1. (a) 複数のトレンチを有するシリコン基板の表面を酸化して SiO_2 層を形成させ、次いでポリーアセチル層を堆積させた後、特に開口幅の小さいアスペクト比の高いトレンチには、底部にポリーアセチル層が残るようにエッチバックし、(b) 少なくともトレンチ内が埋設されるように非溶融性の SiO_2 膜を形成後、良溶融性のガラス層を積層し、(c) 高温アニールを行って上記積層を平坦化し、次いでシリコン基板が露出するまでエッチバックし、(d) (b) と (c) の工程を少なくとも1回以上繰返してトレンチ内を非溶融性の SiO_2 で平坦に埋込むことからなる半導体装置の製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】この発明は、半導体装置の製造方法に関する。さらに詳しくは、トレンチを設けた素子分離領域の形成方法に関し、特にこの方法はサブミクロンデバイスの製造に用いられる。

【0002】

【従来の技術】従来、素子分離領域は、LOCOS法によって作製されてきたが、バーズピーク（鳥の口ばし状の素子分離領域の突起物）が発生する為、素子分離幅を $1\text{ }\mu\text{m}$ 以下にするのが困難である。したがって最近では基板表面にトレンチを形成した後、そのトレンチ内を、CVD法により絶縁膜で埋込むボックス法が用いられている。

【0003】

【発明が解決しようとする課題】上記ボックス法は、トレンチ内を絶縁膜で埋込む場合、特にトレンチの開口幅が小さくアスペクト比が大きいと、トレンチ内を均一に埋込むことができない。また絶縁物のエッチバック工程においては、乾式エッティング法が多く使われるが、エッチバックの均一性や選択性が十分でないという問題がある。また、湿式エッティング法を用いた場合には、エッチバックした後、トレンチの側壁部で段差を生じる欠点がある。この発明は、上記欠点を解決するためになされたものであり、トレンチ内を含む領域に積層された絶縁物が、トレンチ内にのみ充満して埋設され、均一性よく平坦な表面にすることができる半導体装置の製造方法を提供しようとするものである。

【0004】

【課題を解決するための手段と作用】上記課題を解決するために、この発明は、(a) 複数のトレンチを有するシリコン基板の表面を酸化して SiO_2 層を形成させ、次いでポリーアセチル層を堆積させた後、特に開口幅の小さいアスペクト比の高いトレンチには、底部にポリーアセチル層が残るようにエッチバックし、(b) 少なくともトレンチ内が埋設されるように非溶融性の SiO_2 膜を形成後、良溶融性のガラス層を積層し、(c) 高温アニール

を行って上記積層を平坦化し、次いでシリコン基板が露出するまでエッチバックし、(d) (b) と (c) の工程を少なくとも1回以上繰返してトレンチ内を非溶融性の SiO_2 で平坦に埋込むことからなる半導体装置の製造方法を提供するものである。

【0005】この発明の方法では、複数のトレンチを有するシリコン基板が用いられるが、このトレンチは通常 $0.5\sim1.0\text{ }\mu\text{m}$ の深さと $0.5\sim10\text{ }\mu\text{m}$ の幅の横断面を有する。この発明の方法において、(a) 工程で、まず上記のシリコン基板の表面に通常の方法、例えば熱酸化により SiO_2 膜を形成させ、その上に例えば減圧CVD法によってポリーアセチル層を堆積させる。次に例えば SF_6 プラズマを用いるRIE法（反応性イオンエッティング法）でエッチバックして、ポリーアセチル層を除くが、微細でアスペクト比の高いトレンチ（例えば幅が $0.5\text{ }\mu\text{m}$ で深さが $1.0\text{ }\mu\text{m}$ ）の場合は、ポリーアセチル層のトレンチ内に残してアスペクト比の低いトレンチ（例えば幅が $0.5\text{ }\mu\text{m}$ で深さが $0.5\text{ }\mu\text{m}$ ）とする。

【0006】次に(b)工程で、少なくともトレンチ内が埋設されるように非溶融性 SiO_2 膜を例えばCVD法で堆積させ、次いでその上に良溶融性ガラス層を例えばCVD法で堆積させる。上記良溶融性ガラス層は、トレンチ内に先に堆積された非溶融性 SiO_2 膜の凹部を平坦化するためのもので例えばBPSG（ホウ素リンケイ酸ガラス）、BSG（ホウ素ケイ酸ガラス）、PSG（リンケイ酸ガラス）などが用いられる。

【0007】次に(c)工程で良溶融性ガラス膜の軟化点（通常 $600\sim900^\circ\text{C}$ ）より高い温度、 $700\sim1200^\circ\text{C}$ で高温アニールを行って上記積層表面を平坦化し、次いでシリコン基板が露出するまでエッチバックする。このエッチバックは、乾式法又は湿式法のいずれも用いることができ、乾式法としては例えば前記RIE法等を挙げることができ、湿式法としては、例えば緩衝フッ酸（BHF）、フッ酸（HF）希釈液等を用いる方法等を挙げることができる。

【0008】次に(d)工程で上記の(b)と(c)工程を少なくとも1回以上繰返してトレンチ内が非溶融性の SiO_2 で平坦に埋込まれる。このようにして埋設されたトレンチは素子分離領域を構成し、この素子分離領域で区画された領域内に素子を形成することによって半導体装置を作製することができる。

【0009】

【実施例】この発明を、実施例により図面を参照して説明するがこの発明を限定するものではない。

【0010】図1(a)～(f)と図2(a)～(f)は本願発明の方法の工程の説明図であるが、前者はトレンチの開口部の幅が微細でアスペクト比が高い場合、後者は開口部の幅が大でアスペクト比が低い場合である。

【0011】まずシリコン基板1に複数のトレンチを形成し（図1のトレンチ1は幅 $0.5\text{ }\mu\text{m}$ 深さ $1.0\text{ }\mu\text{m}$ 、図2

3

のトレンチは幅 $3.0\text{ }\mu\text{m}$ 深さ $1.0\text{ }\mu\text{m}$ ）、次に酸化法によって全表面に SiO_2 膜（約 500 \AA 厚）2を形成させ、次いでCVD法でポリーザイドを堆積させる（約 6000 \AA 厚）（図1(a)と図2(a)参照）。

【0012】次に、RIE法でエッチバックしてポリーザイド層3を除くが、開口部の幅が小さくアスペクト比が高い場合は、図1(b)に示すようにポリーザイド層3を残して（ $3000\sim6000\text{ \AA}$ 厚）アスペクト比を約1程度に低下させる。（図1(b)と図2(b)参照）。この場合アスペクト比が小さい（例えば図2の様なトレンチ）では、トレンチ内にポリーザイドを残す必要はない。

【0013】次に非溶融性ガラス CVDSiO_2 4を約 6000 \AA の厚さでさらに良溶融性のガラスBPSG5を約 6000 \AA の厚さで積層し $900\sim1000^\circ\text{C}$ の高温アニールに付して積層面を平坦化する（図1(c)と図2(c)参照）。

【0014】次に、BHF法でS1基板1が露出するまでエッチバックする（図1(d)と図2(d)参照）。この場合トレンチの開口の幅が広い場合は図2(d)に示すようにトレンチ内に段差が生じる。

4

【0015】次に(c)と(d)の工程を少なくとも1回繰返してトレンチ内を均一により平坦に非溶融性ガラスで埋め込み、素子分離領域を完成する（図1(e)～(f)と図2(e)～(f)を参照）。

【0016】

【発明の効果】この発明によれば、アスペクト比が高い微細なトレンチから比較的幅の広いアスペクト比の低いトレンチまで、パターン密度に関係なく非溶融性ガラスで均一に埋めこむことができる。したがって特に高集積度の半導体装置を製造するのに適している。

【図面の簡単な説明】

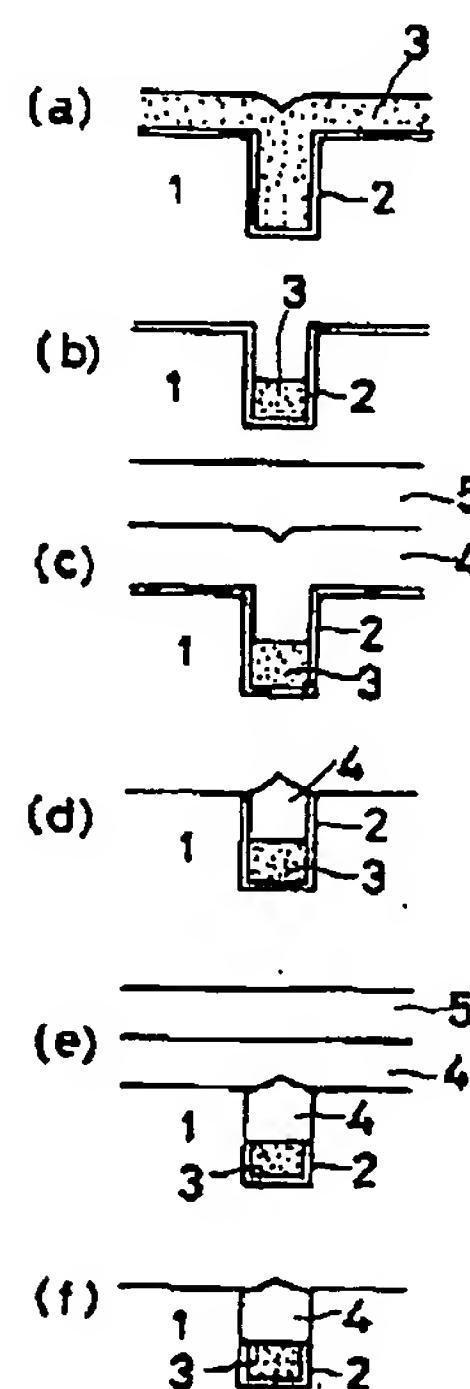
【図1】図1(a)～(f)は開口の幅の微細なトレンチをこの発明の方法で埋込む場合の工程説明図である。

【図2】図2(a)～(f)は開口の幅が広いトレンチをこの発明の方法で埋込む場合の工程説明図である。

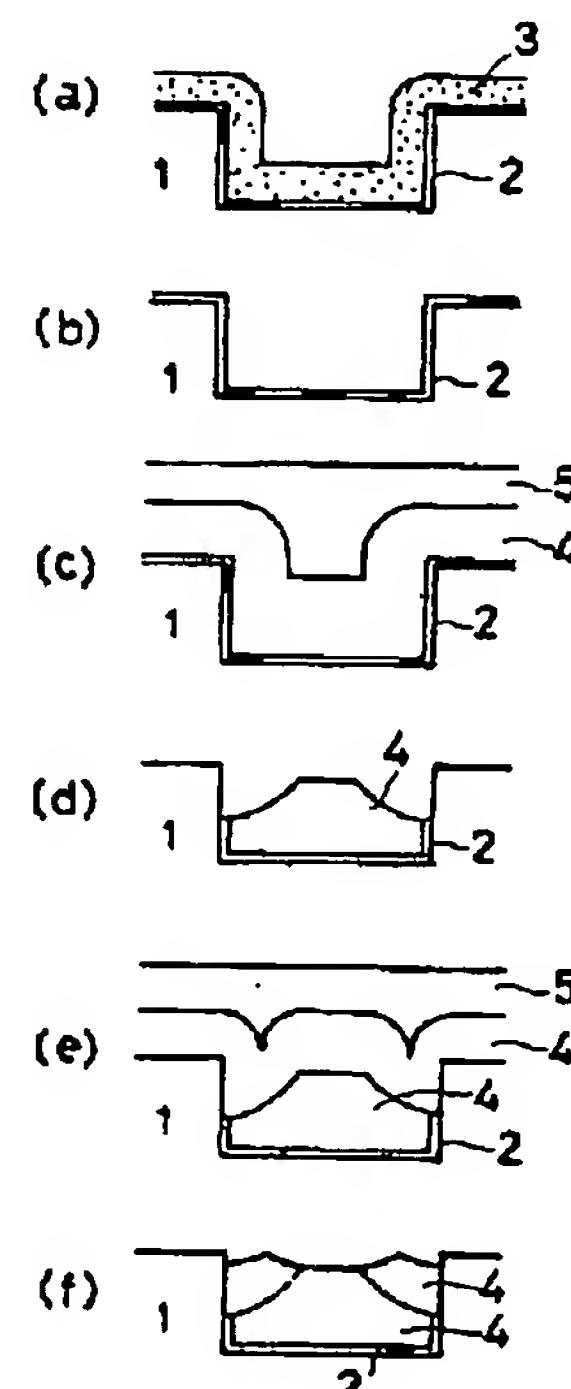
【符号の説明】

- 1 S1基板
- 2 SiO_2 膜
- 3 ポリーザイド層
- 4 非溶融性ガラス層
- 5 良溶融性ガラス層

【図1】



【図2】



【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成8年(1996)5月31日

【公開番号】特開平4-273462

【公開日】平成4年(1992)9月29日

【年通号数】公開特許公報4-2735

【出願番号】特願平3-34803

【国際特許分類第6版】

H01L 21/76

21/316

【F I】

H01L 21/76 L 9278-4M

21/94 A 9274-4M

【手続補正書】

【提出日】平成7年1月27日

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】特許請求の範囲

【補正方法】変更

【補正内容】

【特許請求の範囲】

【請求項1】 (a) 複数のトレンチを有するシリコン基板の表面を酸化して SiO_2 層を形成させ、次いでポリ-Si 層を堆積させた後、特に開口幅の小さいアスペクト比の高いトレンチには、底部にポリ-Si 層が残るようにエッチバックし、

(b) 少なくともトレンチ内が埋設されるように非溶融性の SiO_2 膜を形成後、良溶融性のガラス層を積層し、

(c) 高温アニールを行って上記積層を平坦化し、次いでシリコン基板が露出するまで、湿式エッチングによってエッチバックし、

(d) (b) 及び (c) の工程を少なくとも1回以上繰返してトレンチ内を非溶融性の SiO_2 で平坦に埋込むことからなる半導体装置の製造方法。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0004

【補正方法】変更

【補正内容】

【0004】

【課題を解決するための手段と作用】上記課題を解決す

るため、この発明は、(a) 複数のトレンチを有するシリコン基板の表面を酸化して SiO_2 層を形成させ、次いでポリ-Si 層を堆積させた後、特に開口幅の小さいアスペクト比の高いトレンチには、底部にポリ-Si 層が残るようにエッチバックし、(b) 少なくともトレンチ内が埋設されるように非溶融性の SiO_2 膜を形成後、良溶融性のガラス層を積層し、(c) 高温アニールを行って上記積層を平坦化し、次いでシリコン基板が露出するまで、湿式エッチングによってエッチバックし、(d) (b) 及び (c) の工程を少なくとも1回以上繰返してトレンチ内を非溶融性の SiO_2 で平坦に埋込むことからなる半導体装置の製造方法を提供するものである。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正内容】

【0007】次に(c)工程で良溶融性ガラス膜の軟化点(通常600~900°C)より高い温度、700~1200°Cで高温アニールを行って上記積層表面を平坦化し、次いでSi基板が露出するまでエッチバックする。このエッチバックは、湿式法である、例えば緩衝フッ酸(BHF)、フッ酸(HF)希釀液等を用いる方法を用いることにより、被エッチング材のエッチングレートの差を有效地に活用することができ、サイズの異なる溝に応じて、平坦な膜を形成することができる。